

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-322375

(43)Date of publication of application : 24.11.2000

(51)Int.Cl.

G06F 13/28
G06F 13/36
G06F 13/38

(21)Application number : 11-134394

(71)Applicant : SHARP CORP

(22)Date of filing : 14.05.1999

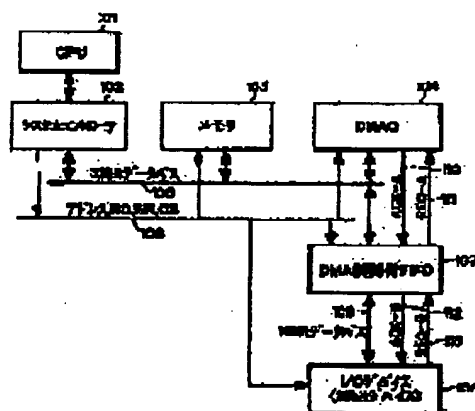
(72)Inventor : SHIMAZAKI IKUO

(54) FIFO WITH DMA CONTROL AND DMA TRANSFER SYSTEM AND METHOD USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To attain quick and efficient data transfer by absorbing the difference of the data transferring speeds of buses with different data bus width.

SOLUTION: An FIFO 107 with DMA control having two 32 byte FIFO whose one FIFO is connected with a 32bit data bus 105 and whose other FIFO is connected with a 16bit data bus 109 and an FIFO control part including a DMA controlling function receives data from an I/O device 108 to one FIFO by DMA transfer in response to a DMA request (REQ-B). The other FIFO receives data with one time DMA transfer burst length, and then loads the received data in one FIFO. After one FIFO receives the data, a DMAC 104 receive the data from one FIFO by DMA transfer in response to a DMA request (REQ-A) from the FIFO 107 with the DMA control. While one FIFO transmits the data to the DMAC 104, the I/O device 108 transmits the next data to the other FIFO.



LEGAL STATUS

[Date of request for examination] 01.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3544146

[Date of registration] 16.04.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-322375

(P2000-322375A)

(43) 公開日 平成12年11月24日 (2000. 11. 24)

(51) Int. Cl.	識別記号	F I	マークシート (参考)
G 0 6 F 13/28	3 1 0	G 0 6 F 13/28	3 1 0 J 5 B 0 6 1
13/36	3 2 0	13/36	3 2 0 B 5 B 0 7 7
13/38	3 1 0	13/38	3 1 0 A

審査請求 未請求 請求項の数6 O L (全 12 頁)

(21) 出願番号 特願平11-134394

(22) 出願日 平成11年5月14日 (1999. 5. 14)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 鴨崎 育男

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100112324

弁理士 安田 吾之 (外2名)

Fターム (参考) 5B06I BA03 DD06 DD09 DD11 FF03

GG02 GG06 PP05 RR03

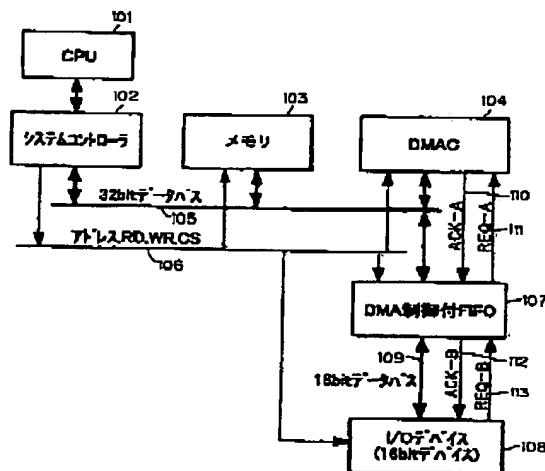
5B077 AA23 BB05 DD07 MM02

(54) 【発明の名称】 DMA制御付FIFO、並びに、それを用いたDMA転送システム及び方法

(57) 【要約】

【課題】 データバス幅が異なるバスのデータ転送速度の違いを吸収して、高速で効率の良いデータ転送を行う。

【解決手段】 一方が32bitデータバス105に、他方が16bitデータバス109に接続されている2つの32バイトのFIFOとDMA制御機能を含むFIFO制御部を持つDMA制御付FIFO107は、DMA要求 (REQ-B) により、I/Oデバイス108から一方のFIFOにDMA転送にてデータを受信する。他方のFIFOは、1回のDMA転送バースト長分のデータを受信した後、一方のFIFOに受信データをロードする。一方のFIFOがデータを受け取った後、DMA制御付FIFO107からのDMA要求 (REQ-A) により、DMAC104は、一方のFIFOからDMA転送にてデータを受信する。一方のFIFOがDMAC104にデータを送信しているのと同時に、I/Oデバイス108が他方のFIFOに次のデータを送信する。



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-322375

(43)Date of publication of application : 24.11.2000

(51)Int.Cl.

G06F 13/28

G06F 13/36

G06F 13/38

(21)Application number : 11-134394

(71)Applicant : SHARP CORP

(22)Date of filing : 14.05.1999

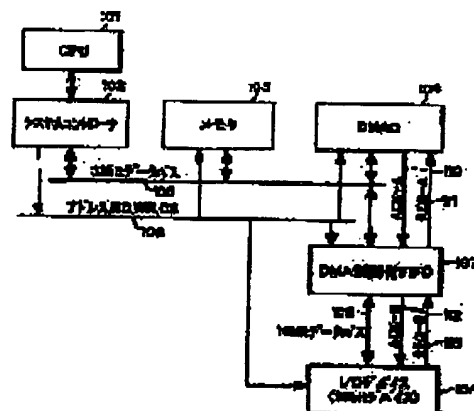
(72)Inventor : SHIMAZAKI IKUO

(54) FIFO WITH DMA CONTROL AND DMA TRANSFER SYSTEM AND METHOD USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To attain quick and efficient data transfer by absorbing the difference of the data transferring speeds of buses with different data bus width.

SOLUTION: An FIFO 107 with DMA control having two 32 byte FIFO whose one FIFO is connected with a 32bit data bus 105 and whose other FIFO is connected with a 16bit data bus 109 and an FIFO control part including a DMA controlling function receives data from an I/O device 108 to one FIFO by DMA transfer in response to a DMA request (REQ-B). The other FIFO receives data with one time DMA transfer burst length, and then loads the received data in one FIFO. After one FIFO receives the data, a DMAC 104 receive the data from one FIFO by DMA transfer in response to a DMA request (REQ-A) from the FIFO 107 with the DMA control. While one FIFO transmits the data to the DMAC 104, the I/O device 108 transmits the next data to the other FIFO.



LEGAL STATUS

[Date of request for examination]

01.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3544146

[Date of registration]

16.04.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(2)

特開2000-322375

2

【特許請求の範囲】

【請求項1】 同一バス上のビット幅の異なるデバイス間のDMAによるデータ転送において、前記デバイス間をDMA制御機能を内蔵したビット幅の変換可能な双方向FIFOにより中継することを特徴とするDMA転送方式。

【請求項2】 請求項1に記載のDMA転送方式に用いるDMA制御機能を内蔵したビット幅の変換可能な双方向FIFOであって、内部のFIFOブロックを複数と化したことを特徴とするFIFO。

【請求項3】 同一バス上のビット幅の異なるデバイス間のDMAによるデータ転送において、前記デバイス間を請求項2に記載のFIFOにより中継することを特徴とするDMA転送方法。

【請求項4】 同一バス上のビット幅の異なるデバイス間のDMAによるデータ転送において、前記デバイス間を請求項2に記載のFIFOにより中継することを特徴とするDMA転送システム。

【請求項5】 請求項1に記載のDMA転送方式において、前記DMA制御機能を内蔵したビット幅の変換可能な双方向FIFOの転送バイト数をプログラマブルに設定可能にしたことを特徴とするDMA転送システム。

【請求項6】 請求項1に記載したDMA転送方式において、前記DMA制御機能を内蔵したビット幅の変換可能な双方向FIFOのビット幅をプログラマブルに設定可能にしたことを特徴とするDMA転送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、DMA (Direct Memory Access) によるデータ転送を行うシステムに関し、特に同一バス上のDMAC (DMA Controller) とデータバス幅が異なるデバイス間でDMA転送を行う場合に、FIFOを使用した転送方式に関するものである。

【0002】

【従来の技術】上記のようなFIFO及びDMA転送方式においては、従来は、同一バス上のDMACとデータバス幅が異なるデバイス間でDMA転送を行う場合、2つのバッファメモリを使用して、各バッファメモリに順次データを書込み、その後、同時にそのバッファメモリからデータを読み出すことによって、データバス幅の変換を行っていたが、この方式では、バス幅が広いデータバスのDMA転送に要する時間が長くなってしまい、高速で効率の良いデータ転送を行うことが困難であった。また、異なる2つのバス間でDMA転送を行う時にFIFOを中継する方式があるが、このFIFOは、2つのバス上にそれぞれDMACを必要とするため、本発明の場合には、使用することができない。

【0003】そして、特開平7-152683号公報に

は、バス幅が異なるデータバス間に、複数のバッファメモリと、複数のバッファメモリの書込みを制御する書込み制御回路を備え、書込み制御回路によりバス幅が狭い方のデータを複数のバッファメモリに順次書込み、複数のバッファメモリに書込まれたデータが、バス幅の広いデータバスに同時に出力されることを特徴とするバッファメモリ回路が記載されている。

【0004】また、特開平10-293742号公報には、互いに異なる第1のバスと第2のバスにおいて、FIFOのようなバス中継器を介して接続して、双方向にDMA転送を行うことを特徴とするデータ転送方法及び装置が記載されている。

【0005】

【発明が解決しようとする課題】本発明の第1の目的は、上記従来技術において、DMA転送を行う場合、バス幅が狭い方のデータを複数のバッファメモリに順次書込んでいる間、バス幅が広いデータバスも、このDMA転送のためにバスを占有しておく必要があり、高速で効率の良いデータ転送が困難であることを鑑みて、DMA制御機能を内蔵したビット幅の変換可能な双方向FIFOを使用することにより、各バスのデータ転送速度の違いを吸収して、高速で効率の良いデータ転送を行うことである。

【0006】また、第2の目的は、従来技術において、バス幅が狭い方のデータを複数のバッファメモリに順次書込んでいる間、バス幅が広いデータバスにデータを送信することができないことを鑑みて、前記DMA制御機能を内蔵したビット幅の変換可能な双方向FIFOの内部のFIFOブロックを複数で構成して、相互のデータ交換を可能にすることにより、送受信同時動作を行って、より高速で効率の良いデータ転送を行うことである。

【0007】そして、第3の目的は、上記従来技術において、DMA転送を行う場合、DMACの設定が同じであっても転送を開始するアドレスによっては、転送の最初と最後に半端なバイト数を転送する場合があるため、アドレスの調整を行い、半端なバイト数の転送をなくす必要があったことを鑑みて、DMA制御機能を内蔵したビット幅の変換可能な双方向FIFOを使用し、そのFIFOの転送バイト数を、DMACの転送バースト長に対応してプログラマブルに設定することにより、任意のDMACの転送バースト長に対応することである。

【0008】さらに、第4の目的は、上記従来技術において、DMA転送を行う場合、任意のバス幅に適したバッファメモリ回路を構成した時、他のバス幅でのデータ転送が困難であることを鑑みて、FIFOのビット幅をプログラマブルに設定可能にすることにより、接続するバス幅を指定する必要がなく、回路変更を行うことなく任意のデータバス間のデータ転送を行うことである。

【0009】

(3)

特開2000-322375

3

4

【課題を解決するための手段】請求項1の発明は、同一バス上のビット幅の異なるデバイス間のDMAによるデータ転送において、前記デバイス間をDMA制御機能を内蔵したビット幅の変換可能な双方向FIFOにより中継するDMA転送方式に関する。

【0010】請求項2の発明は、請求項1に記載のDMA転送方式に用いるDMA制御機能を内蔵したビット幅の変換可能な双方向FIFOであって、内部のFIFOブロックを複数としたFIFOに関する。

【0011】請求項3の発明は、同一バス上のビット幅の異なるデバイス間のDMAによるデータ転送において、前記デバイス間を請求項2に記載の内部のFIFOブロックを複数としたFIFOにより中継するDMA転送方法である。

【0012】請求項4の発明は、同一バス上のビット幅の異なるデバイス間のDMAによるデータ転送において、前記デバイス間を請求項2に記載の内部のFIFOブロックを複数としたFIFOにより中継するDMA転送システムである。

【0013】請求項5の発明は、請求項1に記載のDMA転送方式において、前記DMA制御機能を内蔵したビット幅の変換可能な双方向FIFOの転送バイト数をプログラマブルに設定可能にしたものである。

【0014】請求項6の発明は、請求項1に記載したDMA転送方式において、前記DMA制御機能を内蔵したビット幅の変換可能な双方向FIFOのビット幅をプログラマブルに設定可能にしたものである。

【0015】

【発明の実施の形態】この発明の実施例を図面に基づいて説明する。図1は、本発明のDMA転送システムの一実施例を示すブロック図である。この図において、101は、このシステムを制御する中央演算処理装置(CPU)である。102は、CPU101と共に、このシステムを構築するシステムコントローラであり、通常、CPUバスインターフェース、メモリデバイスインターフェースを備えており、DMACを内蔵している場合もある。103は、データを記憶しておくメモリであり、通常、DRAMが使用される。

【0016】104は、DMA転送を制御するDMACである。DMA転送は、このDMAC104がCPU101を介さずに、メモリ103とI/Oデバイス108間のデータ転送を行うことである。105は、32ビット幅のデータバスであり、32ビットのデータバス幅を持つシステムコントローラ102、メモリ103、DMAC104、DMA制御付FIFO107が接続されている。106は、システムコントローラ102が生成する各種制御信号であり、アドレスバス、RD信号、WR信号、CS信号等から構成されている。

【0017】107は、内部に2つの32バイトのFIFOとDMA制御機能を含むFIFO制御部を持つDM

A制御付FIFOであり、片方のFIFOが32ビットデータバス105に、もう片方のFIFOが16ビットデータバス109に接続されている。108は、16ビットのデータバスと、DMAインターフェースを持つI/Oデバイスである。109は、16ビット幅のデータバスであり、16ビットのデータバス幅を持つI/Oデバイス108とDMA制御付FIFO107を接続している。

【0018】110は、DMAC104が、DMA制御付FIFO107との間でDMA転送を行う時に出力する信号(ACK-A)であり、この信号に同期してデータの送受信を行う。111は、DMA制御付FIFO107がDMAC104に対してデータの送受信を要求する信号(REQ-A)である。112は、DMA制御付FIFO107がI/Oデバイス108との間でDMA転送を行う時に出力する信号(ACK-B)であり、この信号に同期してデータの送受信を行う。113は、I/Oデバイス108がDMA制御付FIFO107に対してデータの送受信を要求する信号(REQ-B)である。

【0019】以上のシステム構成において、DMAC104とI/Oデバイス108間でDMAによるデータ転送を行う場合を想定し、以下にDMA制御付FIFO107を用いたDMA転送方式を詳細に説明する。

【0020】図2は、図1におけるDMA制御付FIFO107の構成を示すブロック図である。201は、FIFO-A203、FIFO-B204から構成されるFIFO部であり、FIFO-A203、FIFO-B204は、互いにデータのロードが可能である。FIFO-A203の入力は、32ビットデータバス105に接続され、FIFO-A203の出力は、3ステートバッファ210を介して32ビットデータバス105に接続されている。

【0021】また、FIFO-B204の入力は、16ビットデータバス109に接続され、FIFO-B204の出力は、3ステートバッファ211を介して16ビットデータバス109に接続されている。202は、FIFOコントロールレジスタ205、転送バイト数レジスタ206、転送バイトカウンタ207、及び転送バイトカウンタ208から構成されるFIFO制御部である(詳細は図6を参照)。209は、32ビットデータバス105と16ビットデータバス109を中継しているバイパススイッチであり、FIFOコントロールレジスタ205にて制御されるBypass信号によって、32ビットデータバスと16ビットデータバスを直結することができる。

【0022】また、3ステートバッファ210、211のイネーブルラインに、FIFOコントロールレジスタ205にて制御されるBypass信号とDir信号を入力することにより、データの転送方向の制御を行う。

(4)

時間 2000-322375

5

【0023】図3は、図2におけるFIFO部201の内部構成を示すブロック図である。FIFO-A203、FIFO-B204は、32個のラッチからなるメモリセルを8段接続した32バイトのFIFOである。各メモリセルは、セクタ制御信号によって、データバス幅を8bit、16bit、32bitに変更することができ、またメモリセルの入力を、前段のメモリセルの出力か、受信FIFOからのデータのロードかを切り換えることができる（詳細は図4、図5を参照）。

【0024】また、各FIFOは、データ転送方向によってラッチタイミングが異なっており、データ転送方向がA→Bの時(Dir=1)は、FIFO-A203は、信号ACK-Aの立ち上がりエッジ、FIFO-B204は、信号ACK-Bの立ち下がりエッジ、データ転送方向がB→Aの時(Dir=0)は、FIFO-A203は、信号ACK-Aの立ち下がりエッジ、FIFO-B204は、信号ACK-Bの立ち上がりエッジによってデータをラッチする。

【0025】図4は、図3における各メモリセルの内部構造を示すブロック図である。401は、32個のラッチで構成されたラッチ部であり、ACK-A、/ACK-A(ACK-Aの反転)、ACK-B、/ACK-B(ACK-Bの反転)の各信号の立ち上がりエッジにて入力データをラッチする。402は、ラッチ401に入力するデータを選択する入力セクタ部であり、セクタ制御信号によって①～④のどのデータをラッチに入力するかを切り換える。403は、ラッチ401から出力するデータの出先を選択する出力セクタ部であり、セクタ制御信号によって①～④のどの出力先にデータを出力するかを切り換える。

【0026】図5は、セクタ制御信号の設定による図4のメモリセル内部のラッチ構成パターンを示す図である。FIFO-A203からFIFO-B204、またはFIFO-B204からFIFO-A203へデータをロードする場合(条件c501)は、入力セクタ部402及び出力セクタ部403は、①が選択され、ラッチ部401の入力には、一方のFIFOからのデータがセットされる。

【0027】また、FIFOが、32bitデータバスに接続された時に、前段のメモリセルのデータをラッチする場合(条件c502)は、入力セクタ部402及び出力セクタ部403は、②が選択され、ラッチ部401の入力には、前段のメモリセルのデータ(bit(31:0))がセットされる。そして、FIFOが16bitデータバスに接続された時に、前段のメモリセルのデータをラッチする場合(条件c503)は、入力セクタ部402及び出力セクタ部403は、③が選択され、ラッチ部401の(bit(31:24)、bit(23:16))の入力には、前段のメモリセルのデータ(bit(15:0))がセットされ、ラッチ部

6

401の(bit(15:8)、bit(7:0))の入力には、ラッチ部401の(bit(31:24)、bit(23:16))の出力がセットされる。

【0028】さらに、FIFOが、8bitデータバスに接続された時に、前段のメモリセルのデータをラッチする場合(条件c504)は、入力セクタ部402及び出力セクタ部403は、④が選択され、ラッチ部401の(bit(31:24))の入力には、前段のメモリセルのデータ(bit(7:0))がセットされ、ラッチ部401の(bit(23:16))の入力には、ラッチ部401の(bit(31:24))の出力がセットされ、ラッチ部401の(bit(15:8))の入力には、ラッチ部401の(bit(23:16))の出力がセットされ、ラッチ部401の(bit(7:0))の入力には、ラッチ部401の(bit(15:8))の出力がセットされる。

【0029】図6は、図2のFIFO制御部の各ブロックの動作内容を説明する図である。FIFOコントロールレジスタ205は、このFIFOの動作モードを決定するレジスタである。転送バイト数レジスタ206は、1回のDMA転送で行うバースト長を設定するレジスタであり、設定された値をもとに、後述する転送バイトカウンタA207、転送バイトカウンタB208を制御して、バースト長の変更をプログラマブルに行う。転送バイトカウンタA207は、DMAC104が出力する信号ACK-Aをカウントするカウンタであり、転送バイトカウンタB208は、このFIFOが出力する信号ACK-Bをカウントするカウンタである。それぞれのカウンタ値を基にFIFO-A、FIFO-Bの状況判断し、セクタ制御信号、信号REQ-A、及び信号ACK-Bの出力タイミングを制御する。

【0030】また、転送バイトカウンタA207、転送バイトカウンタB208の初期値はデータの転送方向によって異なり、FIFOが、データを受信する場合は、受信回数がセットされる。FIFOがデータを送信する場合は、初期値は0であり、FIFOが、一方のFIFOから送信データをロードした時に、送信回数がセットされる。受信回数、送信回数は、転送バイト数レジスタ206の値をもとに設定する。

【0031】図7は、図1の32bitバス上のDMAC104から16bitバス上のI/Oデバイス108へのDMA転送におけるフローチャートである。まず、I/Oデバイス108からDMA制御付FIFO107にDMA要求(信号REQ-Bを出力)を行う(ステップS701)。DMA制御付FIFO107は、信号REQ-Bを受信した後、DMAC104にDMA要求(信号REQ-Aを出力)を行う(ステップS702)。

【0032】信号REQ-Aを受信したDMAC104は、FIFO-A203にDMA転送にてデータを送信

(5)

特開2000-322375

7

8

する(ステップS703)。FIFO-A203は、1回のDMA転送バースト長分のデータを受信した後、FIFO-B204に受信データをロードする(ステップS704)。FIFO-B204は、データを受け取った後、I/Oデバイス108にDMA転送にてデータを送信する(ステップS705)。FIFO-B204が、I/Oデバイス108にデータを送信しているのと同時に、DMAC104が、FIFO-A203に次のデータを送信する(ステップS701~703)。

【0033】図8は、図1のDMAC104からI/Oデバイス108へのDMA転送における32bitデータバスから16bitデータバスへのDMA転送タイミング図である。まず、初期設定として、転送バイト数レジスタ206を、DMAC104のバースト長の設定に合わせて設定する(この実施例では32バイトに設定する)。

【0034】また、FIFOコントロールレジスタ205を、FIFOモード切換ビット=0(コンフィグレーションモード)、Dir=1(A→B)、Bypass=0(バイパスしない)、FIFO-Aビット幅変換=2(32bit幅)、FIFO-Bビット幅変換=1(16bit幅)に設定した後、FIFOモード切換ビットのみ1(動作モード)に設定する。この初期設定にて、このDMA制御付FIFO107は、Ready状態となり、転送バイトカウンタA207、転送バイトカウンタB208のカウンタ値が、それぞれ8、0にセットされ、I/Oデバイス108から信号REQ-Bのアサートを待つ。

【0035】タイミングt801で、信号REQ-Bがアサートされ、その時の転送バイトカウンタA207の値が8(FIFO-Aが空の状態)であるので、該FIFOは、DMAC104に対して信号REQ-Aをアサートする(タイミングt802)。信号REQ-Aを受けたDMAC104は、信号ACK-Aに同期して、32bitデータバスにデータを出力する。FIFO-A203は、信号ACK-Aの立ち上がりエッジで、データをラッチし、転送バイトカウンタA207は、-1デクリメントされ7になる(タイミングt803)。

【0036】DMAC104は、バースト長が32バイトあるので、信号ACK-Aを合計8回出力する。FIFO-A203は、信号ACK-Aを8回受信するとデータフルの状態になり、転送バイトカウンタA207は0になる(タイミングt804)。転送バイトカウンタA207の値が0になると、その時の転送バイトカウンタB208の値を確認し、1か0であれば、FIFO-B204が空であるということなので、FIFO-B204の各ラッチの入力は、FIFO-A側に切り換えられ、転送バイトカウンタB208の値を16に設定する(タイミングt805)。転送バイトカウンタB208の値が16に設定されたら、信号ACK-Bの立ち下

りエッジで、FIFO-B204は、FIFO-A203のデータをラッチし、16bitデータバスにデータを出力する(タイミングt806)。

【0037】次の信号ACK-Bの立ち上がりエッジで、転送バイトカウンタA207の値を8にリセットし、FIFO-B204の各ラッチの入力をFIFO-B204の前段側に切り換える(タイミングt807)。転送バイトカウンタA207の値が8(FIFO-Aが空の状態)にリセットされたので、該FIFOは、その時の信号REQ-Bの状態を確認して、もし、まだアサートされていれば、DMAC104に対して信号REQ-Aをアサートする(タイミングt808)。再度、信号REQ-Aを受けたDMAC104は、信号ACK-Aに同期して次のデータを出力する(タイミングt809)。

【0038】FIFO-A203は、信号ACK-Aを8回受信して転送バイトカウンタA207の値が0(データフルの状態)となるが、この時、転送バイトカウンタB208の値が0ではない(まだFIFO-Bにデータが残っている)ため、FIFO-B204の各ラッチの入力はFIFO-A側に切り換えられない(タイミングt810)。転送バイトカウンタB208の値が1になった時、FIFO-B204の各ラッチの入力は、FIFO-A側に切り換えられ、転送バイトカウンタB208の値を16に設定する(タイミングt811)。転送バイトカウンタB208の値が16に設定されたら、信号ACK-Bの立ち下がりエッジで、FIFO-B204は、FIFO-A203のデータをラッチし、16bitデータバスにデータを出力する(タイミングt812)。

【0039】次の信号ACK-Bの立ち上がりエッジで、転送バイトカウンタA207の値を8にリセットし、FIFO-B204の各ラッチの入力をFIFO-B204の前段側に切り換える(タイミングt813)。もし、タイミングt811で、転送バイトカウンタA207が0でない(FIFO-A203がフルではない)場合、転送バイトカウンタB208の値は0(FIFO-B204が空の状態)になり、転送バイトカウンタA207が0になるのを待つことになる。タイミングt814からは、以上の繰り返しである。

【0040】図9は、図1の16bitバス上のI/Oデバイス108から32bitバス上のDMAC104へのDMA転送におけるフローチャートである。まず、I/Oデバイス108から、DMA制御付FIFO107にDMA要求(信号REQ-Bを出力)を行う(ステップS901)。信号REQ-Bを受信したDMA制御付FIFO107は、I/Oデバイス108からFIFO-B204にDMA転送にてデータを受信する(ステップS902)。FIFO-B204は、1回のDMA転送バースト長分のデータを受信した後、FIFO-A

(6)

特開2000-322375

9

10

203に受信データをロードする(ステップS903)。FIFO-A203がデータを受け取った後、DMA制御付FIFO107からDMAC104にDMA要求(信号REQ-Aを出力)を行う(ステップS904)。信号REQ-Aを受信したDMAC104は、FIFO-A203からDMA転送にてデータを受信する(ステップS905)。FIFO-A203がDMAC104にデータを送信しているのと同時に、I/Oデバイス108は、FIFO-B204に、次のデータを送信する(ステップS901~902)。

【0041】図10は、図1のI/Oデバイス108からDMAC104へのDMA転送における16bitデータバスから32bitデータバスへのDMA転送タイミング図である。まず、初期設定として、転送バイト数レジスタ206をDMACのバースト長の設定に合わせ設定する(この実施例では32バイトに設定)。また、FIFOコントロールレジスタ205を、FIFOモード切替ビット=0(コンフィグレーションモード)、Dir=0(B→A)、Bypass=0(バイパスしない)、FIFO-Aビット幅変換=2(32bit幅)、FIFO-Bビット幅変換=1(16bit幅)に設定した後、FIFOモード切替ビットのみ(動作モード)に設定する。

【0042】この初期設定にて、このDMA制御付FIFO107は、Ready状態となり、転送バイトカウンタA207、転送バイトカウンタB208の初期値が、それぞれ0、16にセットされ、I/Oデバイス108から信号REQ-Bのアサートを待つ。タイミングt1001で、信号REQ-Bがアサートされ、その時の転送バイトカウンタB208の値が16(FIFO-Bが空の状態)であるので、該FIFOは、I/Oデバイス108に対して信号ACK-Bを出力し、信号ACK-Bを受けたI/Oデバイス108は、信号ACK-Bに同期して、16bitデータバスにデータを送信する。

【0043】FIFO-B204は、信号ACK-Bの立ち上がりエッジでデータをラッチし、転送バイトカウンタB208は、-1デクリメントされ15になる(タイミングt1002)。DMAC104のバースト長が32バイトであるので、該FIFOは、FIFO-B204がフルになるまで、信号ACK-Bを16回出力し、データを受信する。信号ACK-Bを16回出力すると、転送バイトカウンタB208は0になる(タイミングt1003)。転送バイトカウンタB208が0になると、その時の転送バイトカウンタA207の値を確認し、0であればFIFO-A203が空であるということなので、FIFO-A203の各ラッチの入力は、FIFO-B側に切り換えられ、転送バイトカウンタA207を8に設定する(タイミングt1004)。転送バイトカウンタA207の値が8に設定されたら、

該FIFOは、DMAC104に対して信号REQ-Aをアサートする(タイミングt1005)。

【0044】信号REQ-Aを受けたDMAC104は、信号ACK-Aを出力するので、信号ACK-Aの立ち下がりエッジで、FIFO-A203は、FIFO-B204のデータをラッチし、32bitデータバスにデータを送信する(タイミングt1006)。次の信号ACK-Aの立ち上がりエッジで、転送バイトカウンタB208を16にリセットし、FIFO-A203の各ラッチの入力をFIFO-Aの前段側に切り換える(タイミングt1007)。転送バイトカウンタB208が16(FIFO-B204が空の状態)にリセットされたので、該FIFOは、その時の信号REQ-Bの状態を確認して、もし、まだアサートされていれば、I/Oデバイス108に対して信号ACK-Bを出力し、次のデータを受信する(タイミングt1008)。

【0045】FIFO-A203は、信号ACK-Aを8回出力して、転送バイトカウンタA207が0(データ空の状態)となるが、この時、転送バイトカウンタB208が0ではない(まだFIFO-B204がデータ受信)ため、すぐにはFIFO-A203の各ラッチの入力をFIFO-B側に切り換えず、転送バイトカウンタB208が0になるのを待つことになる(タイミングt1009)。以降は、タイミングt1003からの繰り返しである。

【0046】

【発明の効果】本発明によれば、ビット幅の異なるデバイス間において、このFIFOを中継してDMA転送することにより、それぞれのデバイスの持つビット幅でデータ転送を行うため、狭い方のビット幅に合わせたデータ転送をする必要がなくなり、高速で効率の良いデータ転送が可能となる。

【0047】そして、内部のFIFOブロックを複数で構成することにより、片方のFIFOがデータを送信している時に、もう片方のFIFOがデータを受信することが可能となるため、より高速で効率の良いデータ転送が可能となる。

【0048】さらに、FIFOの転送バイト数をプログラマブルに設定可能にすることにより、DMACの任意の転送バースト長の設定に対してDMA転送が可能となる。

【0049】また、FIFOのビット幅をプログラマブルに設定可能にすることにより、接続するデバイスのビット幅を指定する必要がなく、回路変更を行うことなく任意のデバイス間のDMA転送が可能となる。

【図面の簡単な説明】

【図1】本発明のDMA転送システムの一実施例を示したブロック図である。

【図2】図1におけるDMA制御付FIFOのブロック図である。

(7)

特開2000-322375

11

12

【図3】図2におけるDMA制御付FIFOに内蔵されているFIFO部のブロック図である。

【図4】図3におけるFIFO部を構成するメモリセル部の内部構造を示すブロック図である。

【図5】図4におけるFIFO部を構成するメモリセル内部のラッチ構成パターンを示す図である。

【図6】図2におけるDMA制御付FIFOに内蔵されているFIFO制御部を構成する各ブロックの動作内容を示す図である。

【図7】本発明における32ビットデータバスから16ビットデータバスへのDMA転送処理のフローチャート図である。

【図8】本発明における32ビットデータバスから16ビットデータバスへのDMA転送を行う場合のタイミング図である。

【図9】本発明における16ビットデータバスから32ビットデータバスへのDMA転送処理のフローチャート

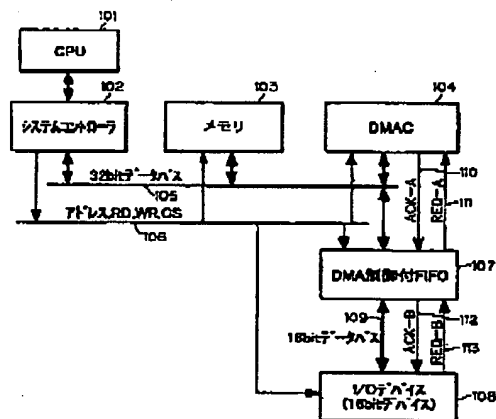
図である。

【図10】本発明における16ビットデータバスから32ビットデータバスへのDMA転送を行う場合のタイミング図である。

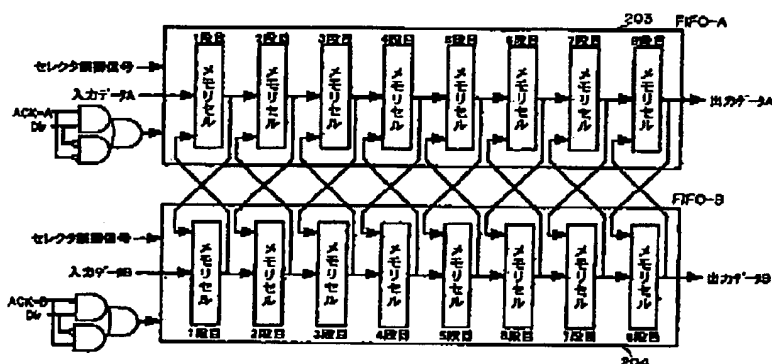
【符号の説明】

101…中央演算処理装置(CPU)、102…システムコントローラ、103…メモリ、104…DMAC、105…32ビット幅データバス、106…各種制御信号、107…DMA制御付FIFO、108…I/Oデバイス、109…16ビット幅データバス、201…FIFO、202…FIFO制御部、203…FIFO-A、204…FIFO-B、205…FIFOコントローラレジスタ、206…転送バイト数レジスタ、207…転送バイトカウンタA、208…転送バイトカウンタB、209…バイパススイッチ、210、211…3ステートバッファ、401…ラッチ部、402…入力セクタ部、403…出力セクタ部。

【図1】



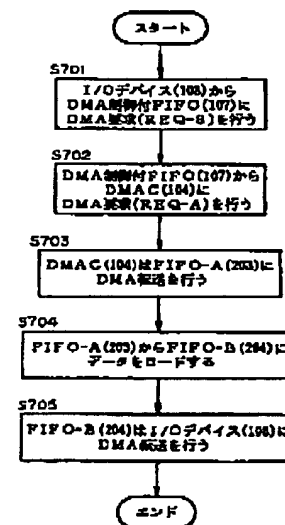
【図3】



【図5】

セクタ制御信号の設定	入力セクタ・出力セクタの選択
一方のFIFOからデータを入力する場合	c501 ①
前後のメモリセルからデータを入力する場合のラッチの構成パターン	1line x 32bit c502 ②
	2line x 16bit c503 ③
	4line x 8bit c504 ④

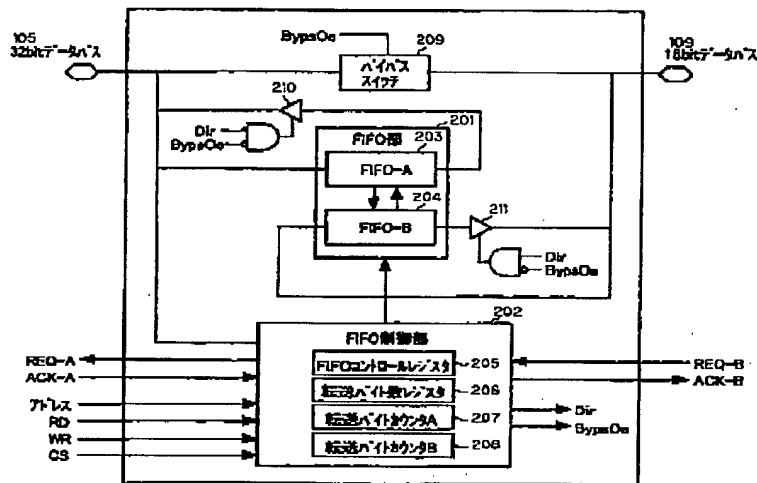
【図7】



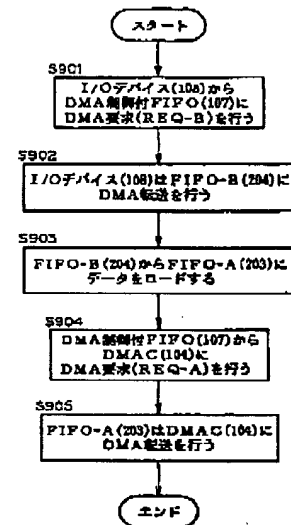
(8)

特開2000-322375

【図2】



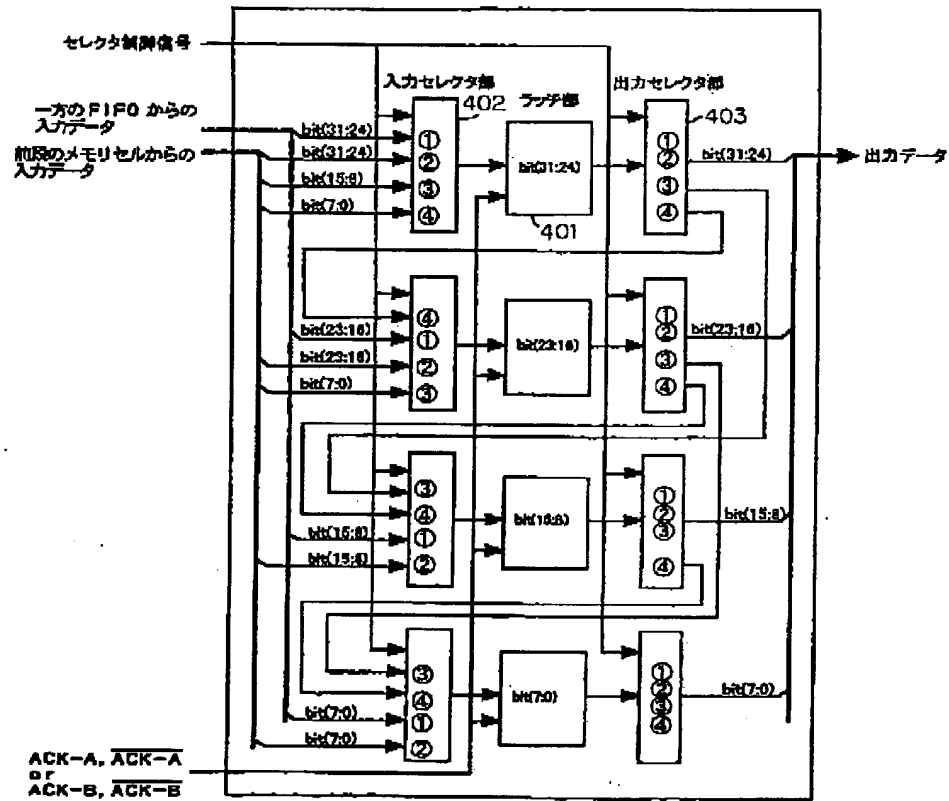
【図9】



(9)

特開2000-322375

【図4】



(10)

特開2000-322375

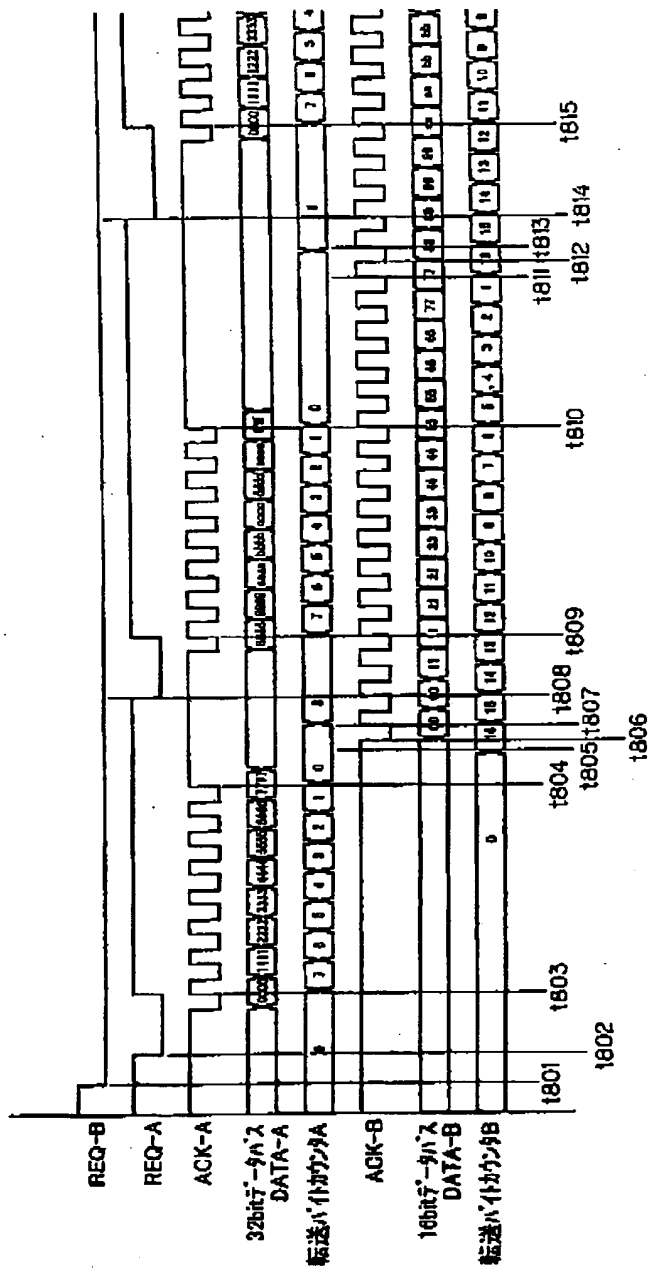
【図6】

Register Name	R/W	Bit	Description
205 FIFOコントロールレジスタ	R/W	0	FIFOモード切替ビット コンフィグレーションモードと動作モードを切り換える 0: コンフィグレーションモード 1: 動作モード
		1	Dir データ転送方向を切り換える 1: A → B 0: B → A
		2	Bypass FIFOを使用せずデータバスを直結する 1: バイパスする 0: バイパスしない
		3	reserved
		4:5	FIFO-Aビット幅変換 FIFO-Aのビット幅を変換する 0: 8ビット幅 1: 16ビット幅 2: 32ビット幅 3: reserved
206 転送バイト数レジスタ	R/W	6:7	FIFO-Bビット幅変換 FIFO-Bのビット幅を変換する 0: 8ビット幅 1: 16ビット幅 2: 32ビット幅 3: reserved
		0:7	1回のDMAの転送バースト長を設定します この設定値に基づき、転送バイトカウンタA,Bの制御を行い、1~256バイトのバースト長の転送を可能とします
		0:7	FIFO-Aの転送バイト数(ACK-A数)をカウントしてREQ-A信号の制御を行う 初期値はデータ転送方向が A → B 時: データ受信回数 B → A 時: 0(FIFO-Bから送信データをロードした時に送信回数にセットする)
207 転送バイトカウンタA	R	0:7	
208 転送バイトカウンタB	R	0:7	FIFO-Bの転送バイト数(ACK-B数)をカウントしてACK-B信号の制御を行う 初期値はデータ転送方向が B → A 時: データ受信回数 A → B 時: 0(FIFO-Aから送信データをロードした時に送信回数にセットする)

(11)

持開2000-322375

【図8】



(12)

特開2000-322375

【図10】

